

Berlin 25th July 2001
Our ref: IB1063 JVO/bfr
Applicants/proprietors: IHP GmbH-Innovations for High Performance
Microelectronics/Institut für innovative
5 Mikroelektronik
Office ref: New application

IHB GmbH Innovations for High Performance Microelectronics/
Institut für innovative Mikroelektronik
10 Im Technologiepark 25, 15236 Frankfurt/Oder

Electronic component and production process for an
electronic component

15 The invention concerns an electronic component with a first layer of
metallically conductive material, a second layer of semiconductor material
and a third layer between the first and second layers, wherein the third
layer includes a dielectric and is adapted to inhibit or prevent charge carrier
transport both from the first to the second layer and also from the second
to the first layer.

20 The invention further concerns a process for the production of an
electronic component including a step of depositing a praseodymium oxide-
bearing material layer on a substrate.

Electronic components of the above-specified kind are usually
identified by the abbreviation MIS (metal insulator semiconductor) or, in
25 their most common and most significant configuration, MOS (metal oxide
semiconductor). There are known for example MOS diodes, MOS field effect
transistors (MOSFET), scaled MOSFETs in which material parameters such
as doping are adapted to reduce lateral dimensions of the component
structure, modulation-doped MODFETs or DRAM structures.

30 It should be noted that the metallically conductive first layer of such
components can be formed both by metals themselves and also by highly
doped (degenerate) semiconductors. In both groups of materials charge

transport is effected in the first layer in the electrical field by means of virtually free charge carriers.

It should further be emphasised that the term 'layer' used herein does not necessarily imply a surface extent which is large in comparison with the layer thickness, in (lateral) directions, perpendicularly to the sequence of layers. Subsequent structuring or suitable adjustment of the production parameters, for example in epitaxial production processes, make it possible to produce in electronic components structures whose lateral dimensions are of the order of magnitude of the layer thickness. Such structures are also referred to herein as a 'layer'.

The use of silicon oxide SiO_2 as a dielectric in the third layer of electronic components of the kind set forth in the opening part of this specification has encountered physical limits in the recent past. Thus the reduction in the structural dimensions in the case of CMOS (complementary MOS) field effect transistors requires a reduction in the thickness of the gate dielectric between the metallically conductive gate electrode and the doped semiconductor channel. For transistors with channel lengths between the source and the drain of less than 100 nm, when using SiO_2 as the gate electrode, by virtue of the relatively low dielectric constant of 3.9, a dielectric layer thickness of less than 2 nm is required. That small layer thickness increases the probability of direct tunnelling of charge carriers and therefore causes markedly increased leakage currents between the gate electrode and the channel or drain, which can adversely affect the efficiency of the transistor.

To resolve the problem it is known to use alternative materials which can replace silicon oxide as the dielectric. Materials of that kind have a higher dielectric constant than silicon oxide. Thus, having regard to scaling of the component, it is possible to achieve an increase in the gate-oxide capacitance without reducing the layer thickness to a critical range of values in which there is a great probability of direct tunnel processes. As is known the gate-oxide capacitance is proportional to the dielectric constant and anti-proportional to the thickness of the gate dielectric.

Known alternative dielectrics are metal oxides in a predominantly amorphous phase. US-A-6 013 553 discloses the use of zirconium or hafnium oxynitride as the gate dielectric. US-A-5 955 213 discloses the use of crystalline YScMnO₃ as a gate dielectrode in memory components. US-A-5 810 923 and US-A-5 828 080 discloses the use of an epitaxial ZrO₂ layer or ZrYO₂ layer as the gate dielectric. Those materials admittedly permit a reduction in the leakage current density in comparison with an SiO₂ layer. Here the value of the leakage current density, with the same equivalent oxide layer thickness EOT serves as a comparative measurement. The equivalent oxide layer thickness EOT (Equivalent Oxide Thickness) of a dielectric is the product of the layer thickness d and the ratio of the dielectric constants of silicon oxide (K_{SiO2}) and the dielectric (K_D):

$$EOT = d \cdot \frac{K_{SiO2}}{K_D} \quad (1)$$

The values of the leakage current density of ZrO₂ and HfO₂ with a given value of EOT = 1.4 nanometers, which are known from the publications by B H Lee et al, Techn. Dig IEEE International Electron Devices Meeting 1999 (IEDM '99), pages 133 and W J Qi et al, Techn. Dig IEDM '99, pages 145, are admittedly reduced in relation to known values of SiO₂ with a gate voltage of 1 V by a factor of up to about 10⁻⁴ to values of between about 10⁻³ and 10⁻⁴ A/cm². However a further reduction in the leakage current density is desirable in order to be able to produce components involving a particularly high degree of scaling, that is to say particularly low dimensions in respect of the relevant component structures.

P Singh, B Baishya, phys stat sol (a) 104, 1987, 885-889 report about investigations into various rare earth oxides, including also predominantly amorphous praseodymium oxide Pr₆O₁₁ in terms of the suitability thereof for use as a gate dielectric in thin-film transistors consisting of II-VI semiconductors. The production of such thin-film transistors was effected by means of a 'multiple-pump-down' process by the vaporisation of solid starting materials under the action of an electron beam in a vacuum chamber. The components produced in that way were

then subjected to a step of thermal curing in ambient air at 200°C over between 3 and 4 hours. The components produced in that way, with a praseodymium oxide layer, are of low strength.

5 The object of the invention is to develop an electronic component of the kind set forth in the opening part of this specification, in such a way that it can be particularly highly scaled. Another object of the invention is to develop a process for the production of an electronic component, including a step of depositing a praseodymium oxide-bearing material layer from a gaseous atmosphere on a substrate, in such a way that particularly
10 highly scaled components can be produced.

In accordance with the invention, for an electronic component of the kind set forth in the opening part of this specification, that object is attained in that the dielectric contains praseodymium oxide in predominantly crystalline phase. In other words the praseodymium oxide
15 can be present predominantly either in single crystal form or in the form of a plurality of different crystalline phases, but is predominantly not amorphous or polycrystalline.

The invention has the advantage that praseodymium oxide in a predominantly crystalline phase has greatly improved properties in
20 comparison with known dielectrics suitable for use in scaled electronic components. Such properties include on the one hand the fact that praseodymium oxide layers in accordance with the invention have an effective dielectric constant K_{eff} , which is independent of the doping of the substrate, of 31 ± 3 . On the other hand praseodymium oxide in a
25 predominantly crystalline phase as a dielectric in MOS structures has an extremely low leakage current density. In an MOS structure with an equivalent oxide layer thickness of 1.4 nm, with a gate voltage of 1 V, values in respect of leakage current density of down to $5 \cdot 10^{-9}$ A/cm² were measured. By virtue of the identical boundary conditions those values are
30 directly comparable to the above-specified values for ZrO₂ and HfO₂ and exhibit a reduction in leakage current density with respect to those dielectrics by a factor or more than 10^{-4} .

Predominantly crystalline praseodymium oxide layers are further distinguished in that they do not present any significant hysteresis effects in capacitance voltage (CV) measurements. The material is also extremely strong. Without adversely affecting the electrical properties, praseodymium oxide layers deposited on Si can be exposed to a temperature of 1000°C over a period of 15 seconds. Finally stress induced leakage current measurements (stress induced leakage current, SILC) exhibit a high stress-carrying capacity for praseodymium oxide-bearing dielectric layers even over prolonged periods of time. A breakdown, that is to say a collapse in terms of the dielectric behaviour (dielectric breakdown) occurs only with electrical field strengths above 43 megavolts/cm. After such a breakdown the original dielectric properties are restored again without a significant deviation from previous values.

By virtue of its properties praseodymium oxide is accordingly particularly suitable as a dielectric in a predominantly crystalline phase for scaled electronic components with scaling factors which exceed previous values. It will be appreciated however that it can also be used as a dielectric in other components, for example those referred to in the opening part of this specification.

In a preferred embodiment the third layer of the component according to the invention has a single crystal region. Particularly good dielectric properties of the third, that is to say the gate oxide layer, can be achieved if that layer comprises only a few domains which in themselves are single crystal. The quality of the third layer in contrast falls drastically if the praseodymium oxide is present in a polycrystalline phase. That is shown by virtue of greatly increased values of the leakage current density.

In a further embodiment the third layer has an amorphous region. That is typically arranged in the region of the interface between the second and third layers and extends in the lateral direction over the entire interface. For example in CMOS field effect transistors in which the second layer quite predominantly comprises silicon, the amorphous region, according to previous investigations, contains a praseodymium silicate.

Suitable adjustment of the parameters of the production process make it possible to prevent the occurrence of such an amorphous intermediate layer. The extent of the amorphous region should at any event in the direction of the sequence of layers be a maximum of 20% of the overall extent of the third layer in that direction. The previous investigations brought to light signs that an amorphous intermediate layer has a lower dielectric constant than the crystalline phase. The thickness ratios of the amorphous intermediate layer and the crystalline layer however determine the resulting effective dielectric constant of the third layer as a whole.

In further embodiments of the electronic component according to the invention the extent of the third layer in the direction of the sequence of layers is a maximum of 50 nanometers.

Adding other materials to the third layer such as for example ZrO_2 or HfO_2 is basically readily possible. Preferably however the dielectric completely consists of praseodymium oxide.

Basically all known oxides of praseodymium, that is to say for example PrO_2 , both modifications of Pr_2O_3 or Pr_6O_{11} can be contained in the dielectric. In a preferred embodiment the dielectric contains praseodymium oxide Pr_2O_3 . In previous investigations the best results were achieved with that oxide of praseodymium.

In this respect Pr_2O_3 is preferably present in a D5_3 -crystal structure or a D5_2 -crystal structure. The D5_3 -structure occurs for example under suitable growth parameters when depositing Pr_2O_3 on an $\text{Si}(001)$ -surface. When depositing Pr_2O_3 on an $\text{Si}(111)$ surface a D5_2 -structure occurs with suitable growth parameters.

The electronic component which is by far preferred at the present time for carrying out the invention is a field effect transistor. In an embodiment the electronic component is in the form of a scaled CMOS-FET, wherein the first layer is in the form of a gate electrode and the third layer adjoins a channel which is formed in the second layer, in a direction perpendicular to the sequence of layers, between a source structure and a drain structure. In a further embodiment the electronic component

according to the invention is in the form of a modulation-doped field effect transistor (MODFET).

At its interface to the third layer the second layer preferably entirely predominantly consists of silicon with a (001)- or a (111)-crystal orientation.

In regard to its process aspect the invention provides a development in a process for the production of an electronic component including a step of depositing a praseodymium oxide-bearing material layer from a gaseous atmosphere on a substrate, in that the praseodymium oxide-bearing material layer is deposited at a substrate temperature of between 500°C and 800°C.

The advantage of the process according to the invention is that the praseodymium-bearing material layer is deposited in the specified substrate temperature range in predominantly crystalline form. The occurrence of a polycrystalline praseodymium-bearing material layer is prevented. That results in the production predominantly of crystalline praseodymium-bearing layers which, as has been demonstrated hereinbefore and as will be described in detail hereinafter with reference to Figures 1 through 8, have extremely advantageous dielectric properties.

The substrate for the growth of the praseodymium-bearing material layer is formed by the layer previously grown or prepared in the production process. In the production of a CMOS-FET for example the channel layer forms the substrate for deposit of the gate dielectric. The channel layer is usually formed by single crystal silicon in a (001)-orientation.

In a preferred form of the process praseodymium oxide-bearing material layers are deposited in a substrate temperature range of between 600°C and 700°C. The layers produced under those conditions have a particularly pure crystal structure. In that respect the best results are attained at the present time with a substrate temperature of 625°C.

The step of depositing a praseodymium-bearing material layer can be executed by means of a per se known molecular beam-epitaxial growth process.

In an embodiment of the process according to the invention preferably a solid starting material is vaporised for deposit of the praseodymium-bearing material layer. A part of the vaporised material passes into the area immediately around the substrate on which crystal
5 formation then gradually occurs. Vaporisation can be effected for example under the action of an electron beam. For example all known praseodymium oxides can be used as the solid starting material. Preferably praseodymium oxide Pr_6O_{11} is used.

Alternatively, for the deposit of praseodymium oxide on the
10 substrate, it is possible to perform a chemical reaction of two or more gaseous starting substances. It is possible for that purpose to have recourse to known processes of gaseous phase epitaxy. For example a chemical reaction of two or more metallo-organic gaseous starting substances is effected for the deposit of praseodymium oxide on the
15 substrate. It is possible for that purpose to use common MOCVD (metal organic chemical vapor deposition) or MOVPE (metal organic chemical vapor epitaxy) reactors and processes.

Single crystal layers or layers composed of various crystalline phases can be grown by means of the specified growth processes. The crystalline
20 orientation of the praseodymium-bearing layer with respect to the channel can be epitaxial in that respect.

The purity of the crystal structure in an embodiment of the process of the invention is improved by a thermal curing step which follows the deposition step. During the thermal curing operation the substrate
25 temperature is at least 400°C and at most 1000°C , in particular between 550°C and 700°C . Layers which are cured at 600°C over a short period of time (about 5 minutes) exhibit no hysteresis in respect of capacitance in capacitance-voltage (CV) measurements. The degree of surface roughness is on average (RMS) less than 0.5 nm.

30 Further advantages of the invention are described in the description hereinafter of some embodiments by way of example with reference to the drawing in which:

Figure 1 shows an X-ray diffraction spectrum of a Pr_2O_3 layer on Si (001),

Figure 2 shows the result of a CV measurement on a second Pr_2O_3 layer grown on p-Si,

5 Figure 3 shows a comparison of the X-ray diffraction spectra of a third Pr_2O_3 layer in the untreated condition and after short-term heating at 1000°C ,

Figure 4 shows the result of a CV measurement at the third layer after the heating operation,

10 Figure 5 shows the result of SILC measurements at a fourth Pr_2O_3 layer,

Figure 6 shows the result of measurements of current density in dependence on the applied voltage at 16 similarly produced gold/ Pr_2O_3 /n-Si capacitors,

15 Figure 7 shows the result of measurements of current density as a function of time at two further gold/ Pr_2O_3 /n-Si capacitors under two different electrical voltages,

Figure 8 shows the result of measurements of current density in dependence on the applied voltage with the same capacitors as in Figure 7 after carrying out the measurements in Figure 7,

20 Figure 9 is a diagrammatic view of the layer structure in the region of the gate of an MOSFET, and

Figure 10 is a diagrammatic view of an Si-based CMOSFET according to the invention.

25 Figure 1 shows an X-ray diffraction spectrum of a 13.4 nanometer thick Pr_2O_3 layer on (001) silicon. That layer was produced at a substrate temperature of 625°C by means of molecular beam epitaxy using solid starting material (Pr_6O_{11}) and then thermally cured at a substrate temperature of 600°C for five minutes. The Figure shows the diffracted X-ray intensity in units of counting pulses of a detector as a function of
30 double the diffraction angle (2θ). The spectrum shows a dominant diffraction line at $2\theta = 70^\circ$ which is to be attributed to diffraction at the silicon lattice. At a double diffraction angle of about 45° there is a second

diffraction line with in comparison a somewhat lesser degree of intensity than that of the silicon peak. That line is to be attributed to diffraction of the X-ray light at the crystal lattice of Pr_2O_3 . This result shows that the praseodymium oxide is predominantly present in single crystal form and is confirmed moreover by electron diffraction and high-resolution transmission electron microscope investigations (not shown here).

Figure 2 shows the result of a capacitance-voltage (CV) measurement on a second, 13.4 nm thick Pr_2O_3 layer. Shown here is the dependency of the capacitance on the maximum amplitude of a high-frequency (100 kHz) voltage pulse V_g between an electrode which is described in greater detail hereinafter and the substrate, wherein the maximum amplitude of the high-frequency voltage pulse was increased and reduced respectively by 0.1 volt per second for recording the two illustrated curves. The present layer was deposited on p-doped (001)-silicon with a specific resistance of 10 ohms * centimeter under otherwise identical conditions to the layer shown in Figure 1 and then provided with a gold electrode. The gold electrode was applied by the deposition of vaporised gold through a shadow mask. The measurement was effected after thermal curing. In the graph shown in Figure 2 a solid line shows the CV curve with a first measuring run during which the maximum amplitude of the voltage pulse was reduced from 3 volts to -1 volt. A broken line in the graph shows the CV curve in the case of an immediately following second measuring run during which the maximum amplitude of the voltage pulse was increased from -1 volt to 3 volts. The capacitance of the layer is approximately 3000 picofarads with a voltage of -1 volt and it drastically falls from a voltage value of about -0.5 volt to values of around 200 picofarads at +0.5 volt. With a further increase in voltage the value of the capacitance falls slightly to a value of below 100 picofarads at 3 volts. The measurements are very substantially independent of the direction of the measuring run and show that no significant hysteresis effects occur.

Figure 3 shows two X-ray spectra of the same kind as Figure 1. They were measured on a third, 14.9 nm thick Pr_2O_3 layer on silicon, more specifically on the one hand (lower spectrum) in the untreated condition

('as grown') and on the other hand (upper spectrum) subsequently to a thermal treatment in a nitrogen atmosphere at a substrate temperature of 1000°C over a period of time of 15 seconds. The X-ray spectrum of the treated layer is displaced upwardly in the direction of the ordinate solely to make the illustration clearer. It is shown in a comparison of the two spectra that the thermal treatment had no measurable influence on the crystalline structure of the treated sample. For, the two spectra are substantially identical. A worsening of the purity of the crystal structure would have been apparent on the basis of a widening of the peak to be associated with the Pr_2O_3 , at about $2\theta = 45^\circ$.

Figure 4 shows the result of a CV measurement carried out in a similar manner to the procedure described with reference to Figure 2, on the thermally treated third layer. The dependency of capacitance on voltage is scarcely altered in the case of the treated layer in comparison with the dependency known from Figure 2 in respect of the comparable but untreated second layer. This shows that the dielectric properties of the sample after a thermal treatment even at very high temperatures such as 1000°C do not experience any worsening.

Figure 5 shows the result of SILC measurements on a fourth Pr_2O_3 layer on a silicon substrate. That layer has an EOT of 1.4 nm and is provided with a gold electrode. Immediately prior to measurement it was exposed to a voltage of 4.56 volts, corresponding to 32 megavolts/centimeter. The Figure illustrates the magnitude of the leakage current density J_g in units of ampere/cm² in dependence on the voltage V_g between the gold electrode and the substrate. Five measurement operations were carried out, which were preceded by stress times on the sample, of differing lengths. The results are shown in the graph in Figure 5 by means of curves involving different kinds of lines. The first measurement (solid line) was carried out before the layer was exposed to the stressing voltage. Further measurements were carried out after stressing times lasting for 30, 60, 300 and 600 seconds. The attributions of the measurement curves with the respective measurement procedure can be seen from the legend in the diagram at top left. Accordingly there are

extremely slight changes in the dependency of the leakage current density on the gate voltage V_g even after the layer is stressed over a period of 600 seconds. That confirms the surprisingly high stressability, which had already been previously established, of the layers produced in accordance with the process of the invention.

Figure 6 shows the result of measurements of the leakage current density J_g in dependence on the applied voltage V_g at 16 similarly produced gold/ Pr_2O_3 /n-Si capacitors. The substrate area covered by the praseodymium oxide layer was $1.89 \cdot 10^{-3} \text{ cm}^2$ in the case of all capacitors. The EOT was 1.4 nm. All the curves illustrated show a similar configuration. The leakage current density, with a voltage of $V_g = -2$ volts, is between 10^{-8} and 10^{-7} A/cm^2 , then falls to a value of below 10^{-11} A/cm^2 at 0 volt and rises with an increasing positive voltage V_g approximately symmetrically with respect to the configuration with negative voltage values. At $V_g = 1$ volt the leakage current density on average reaches a value of $J_g(1 \text{ V}) = (5.0 \pm 0.5) \cdot 10^{-9} \text{ A/cm}^2$. The fluctuation in that value with different capacitors is evidently extremely slight. Towards higher positive voltages the leakage current density further rises. A breakdown occurs only above 6 volts, corresponding to an electrical field strength of 43 megavolt/cm.

Figure 7 shows as a result of a further stress measurement the dependency of the leakage current density on the moment in time after application of a voltage of 5.02 V and 5.24 V respectively for two gold/ Pr_2O_3 /Si (001) capacitors with an EOT of 1.4 nm. A breakdown is to be observed only after over 100 s. These measurements also show the strength of the layers produced with the process according to the invention.

Figure 8 shows the results of CV measurements at the two capacitors prior to and after the stress measurements shown in Figure 7. The curves illustrated in broken line reproduce the dependency after stress measurement (see the legend at top left in the graph) while the curve in solid line represents the dependency prior to measurement. It can be seen that the breakdown produced in the stress measurements causes only extremely slight differences in the dependency of the leakage current

density J_g on the gate voltage V_g . The capacitors therefore completely 'recover' from the breakdown.

Figure 9 shows a diagrammatic view in section of an MOSFET 10 according to the invention. A gate oxide layer 14 is grown on a silicon substrate 12 with (001) orientation. The gate oxide layer 14 comprises praseodymium oxide Pr_2O_3 . The thickness thereof is less than 50 nm. A gate electrode 16 is applied on the gate oxide layer 14. The gate electrode 16 in the present embodiment comprises gold but it can also comprise p- or n-conducting silicon, another metal, or an alloy of a plurality of metals, in each case individually or in combination with each other.

The substrate has a source portion 18 doped by means for example of iron implantation and a drain portion 20. A doped channel 22 extends perpendicularly to the sequence of layers between the source 18 and the drain 20.

The structure of the MOSFET 10 illustrated here is basically known. The illustration therefore does not include details with which the man skilled in the art is in any case familiar. However, by means of the gate oxide layer, new options in regard to the scaling of such MOSFETs are afforded, which in detail can result in changes to the structure. It will be appreciated that the direction of the sequence of layers of the MOSFET 10 can be varied as desired.

Figure 10 is a view on an enlarged scale showing the region of the gate oxide 14 from Figure 1. The same references denote the same structural elements of the MOSFET 10, in comparison with Figure 1. The gate oxide layer 14 has an amorphous interface layer 14.1 which directly adjoins the channel 14 and which includes a silicate with praseodymium and oxygen. By suitable choice of the growth parameters in the production of the gate oxide layer the thickness of the interface layer 14.1 in the direction of the sequence of layers is less than 20% of the thickness of the gate oxide layer 14. Towards the gate electrode 16 the interface layer 14.1 is adjoined by a predominantly single crystal praseodymium oxide layer 14.2.

CLAIMS

1. An electronic component with a first layer (16) of metallicity conductive material, a second layer (12) of semiconductor material and a third layer (14) between the first (16) and second (12) layers, wherein the third layer (14) includes a dielectric and is adapted to inhibit or prevent charge carrier transport both from the first to the second layer and also from the second to the first layer, characterised in that the dielectric contains praseodymium oxide in predominantly single crystal phase.

2. An electronic component as set forth in claim 1 characterised in that the third layer (14) has a single crystal region (14.2).

3. An electronic component as set forth in one of the preceding claims characterised in that the third layer has an amorphous region (14.1).

4. An electronic component as set forth in one of the preceding claims characterised in that the extent of the amorphous region (14.1) in the direction of the sequence of layers is at a maximum 20% of the total extent of the third layer (14) in said direction.

5. An electronic component as set forth in one of the preceding claims characterised in that the extent of the third layer (14) in the direction of the sequence of layers is at a maximum 50 nanometers.

6. An electronic component as set forth in one of the preceding claims characterised in that the dielectric comprises praseodymium oxide.

7. An electronic component as set forth in one of the preceding claims characterised in that the dielectric constant of the dielectric is between 20 and 40.

8. An electronic component as set forth in one of the preceding claims characterised in that the dielectric contains praseodymium oxide Pr_2O_3 .

9. An electronic component as set forth in one of the preceding claims characterised in that the dielectric contains Pr_2O_3 in a D5_3 -crystal structure or D5_2 -crystal structure.

10. An electronic component as set forth in one of the preceding claims characterised in that the component is in the form of a field effect transistor (10).

11. An electronic component as set forth in one of the preceding claims characterised in that the component is in the form of a scaled CMOS-FET, wherein the first layer is in the form of a gate electrode (16) and the third layer (14) adjoins a channel (22) provided in the second layer (12) in a direction perpendicular to the sequence of layers between a source structure (18) and a drain structure (22).

12. An electronic component as set forth in one of the preceding claims characterised in that at its interface to the third layer (14) the second layer (12) comprises silicon with a (001)- or with a (111)-crystal orientation.

13. A process for the production of an electronic component comprising a step of depositing a praseodymium oxide-bearing material layer from a gaseous atmosphere on a substrate characterised in that the praseodymium oxide-bearing material layer is deposited at a substrate temperature of between 500°C and 800°C .

14. A process as set forth in claim 13 characterised in that the praseodymium-bearing material layer is deposited at a substrate temperature of between 600°C and 750°C .

15. A process as set forth in claim 14 characterised in that the praseodymium-bearing material layer is deposited at a substrate temperature of 625°C.

16. A process as set forth in one of claims 13 through 15 characterised in that the step of depositing a praseodymium-bearing material layer is effected by means of a molecular beam-epitaxial growth process.

17. A process as set forth in one of claims 13 through 16 characterised in that a solid starting material is vaporised for the deposit of the praseodymium-bearing material layer.

18. A process as set forth in claim 17 characterised in that praseodymium oxide Pr_6O_{11} is vaporised.

19. A process as set forth in one of claims 13 through 15 characterised in that a chemical reaction of two or more gaseous starting substances is implemented for the deposit of praseodymium oxide on the substrate.

20. A process as set forth in claim 19 characterised in that a chemical reaction of two or more metallo-organic gaseous starting substances is implemented for the deposit of praseodymium oxide on the substrate.

21. A process as set forth in one of the preceding claims characterised by a step of thermal curing, which follows the deposit step, wherein the substrate temperature during the thermal curing step is at least 400°C and at most 1000°C.

22. A process as set forth in one of the preceding claims characterised in that the temperature of the layer during the thermal curing step is between 550°C and 700°C.

Abstract

The invention concerns an electronic component with a first layer (16) of metallically conductive material, a second layer (12) of semiconductor material and a third layer (14) between the first (16) and second (12) layers, wherein the third layer (14) includes a dielectric and is adapted to inhibit or prevent charge carrier transport both from the first to the second layer and also from the second to the first layer. According to the invention the dielectric contains praseodymium oxide in predominantly single crystal phase.

Figure 10

1/5

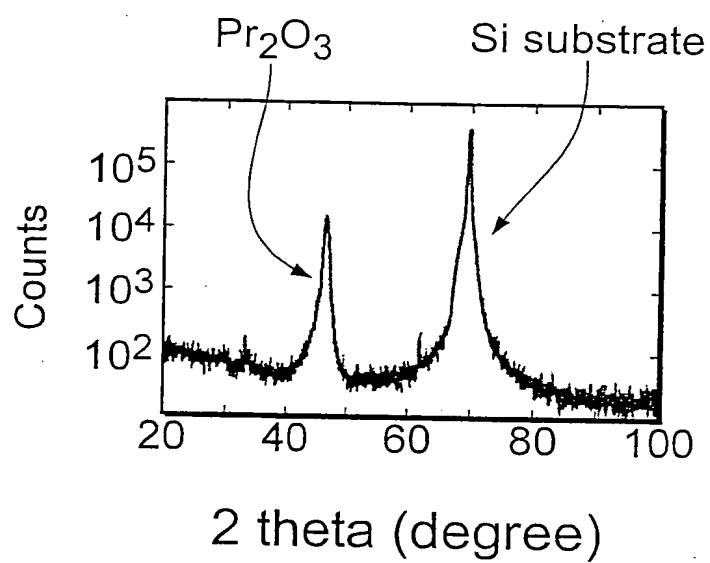


Fig. 1

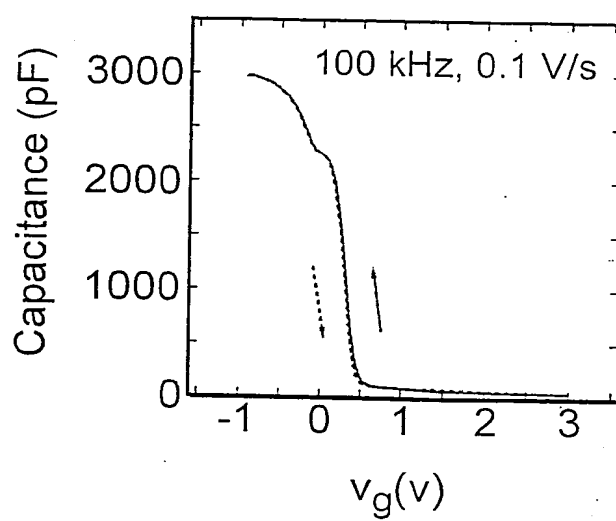


Fig. 2

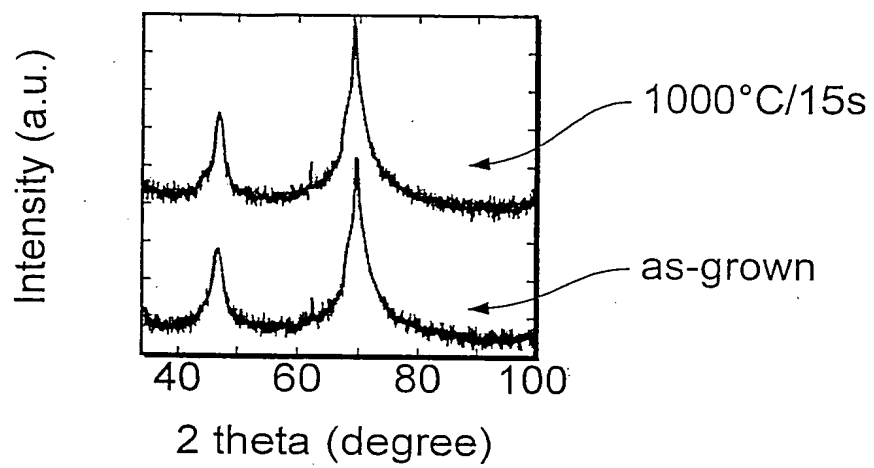


Fig. 3

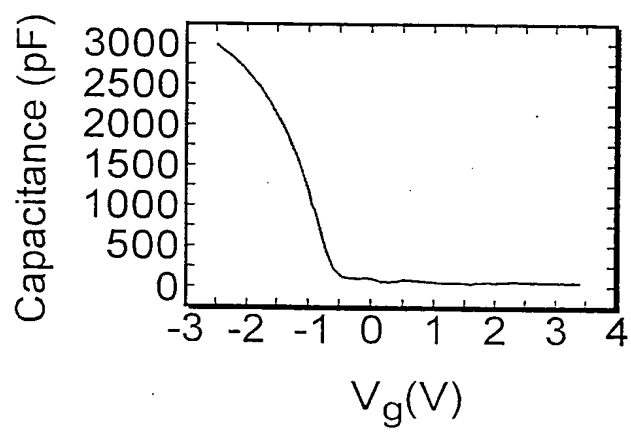


Fig. 4

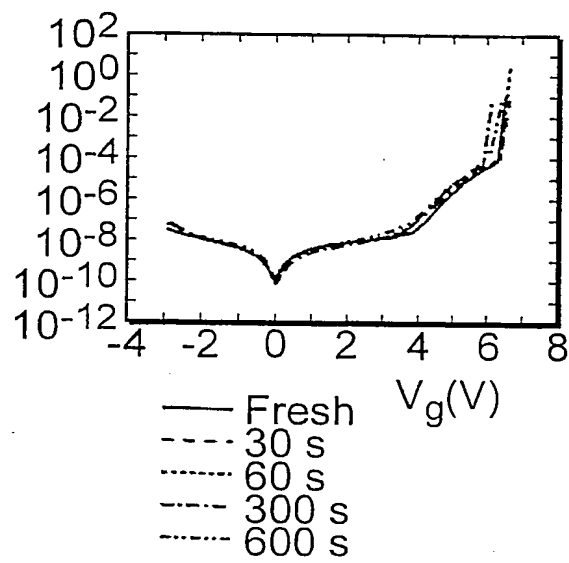


Fig. 5

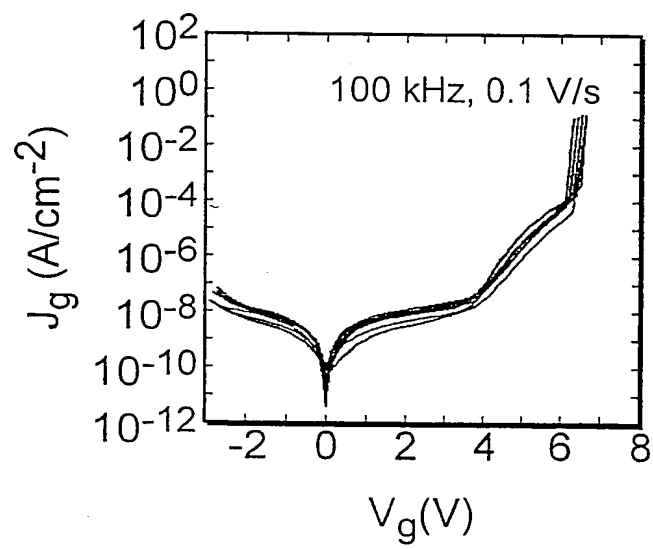


Fig. 6

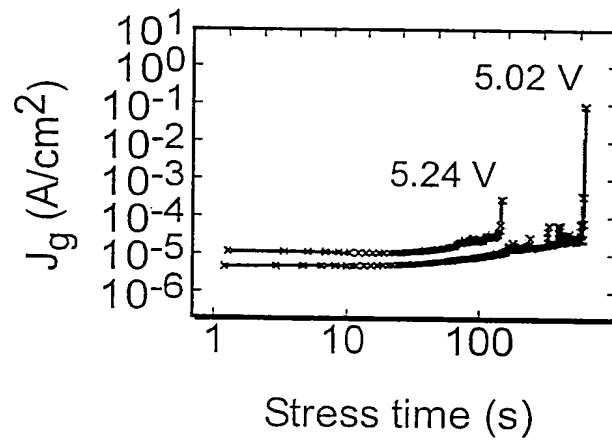


Fig. 7

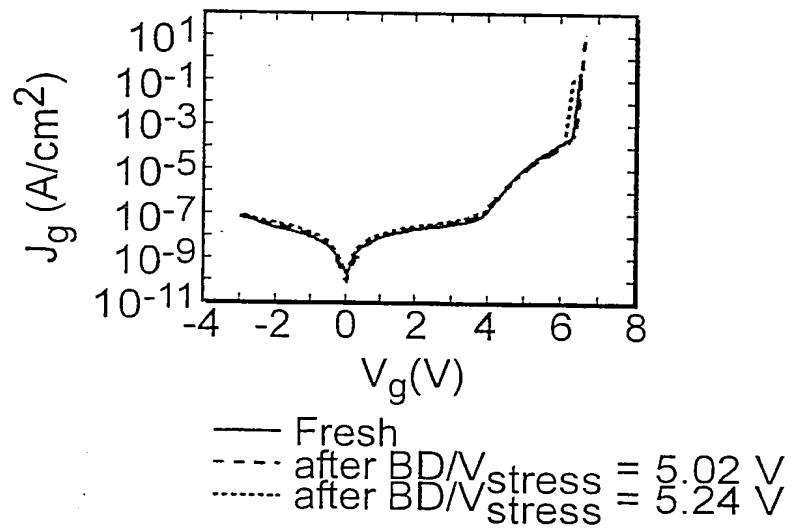


Fig. 8

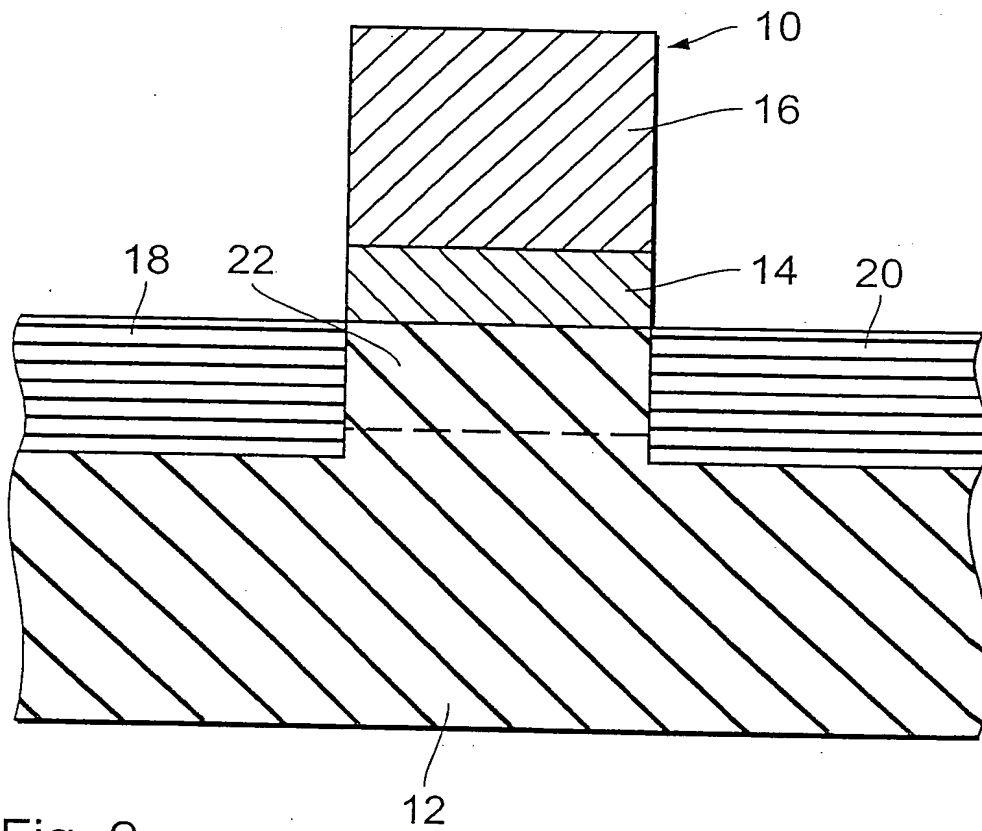


Fig. 9

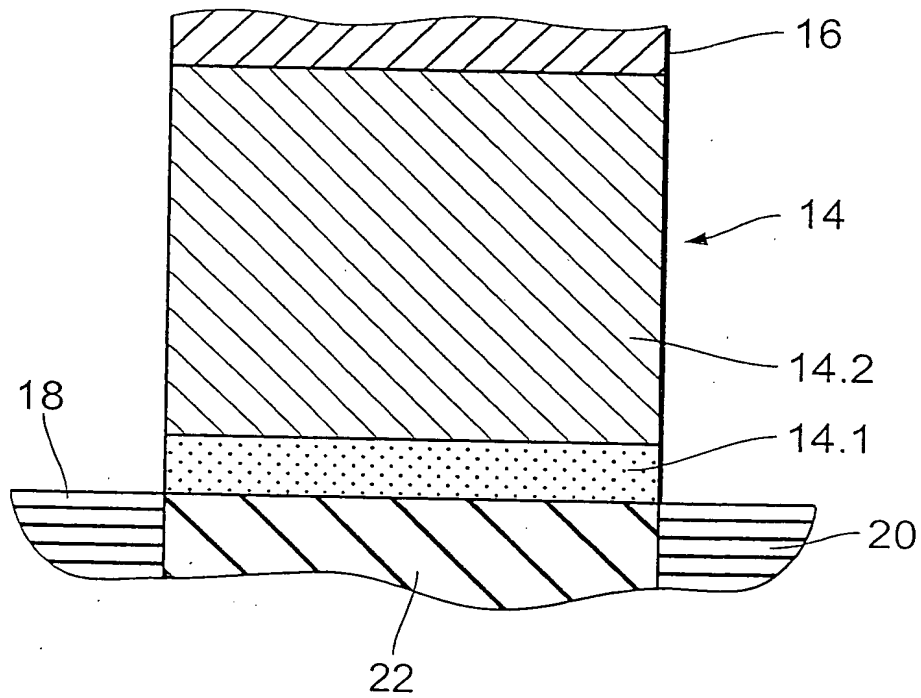


Fig. 10

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
14. Februar 2002 (14.02.2002)

PCT

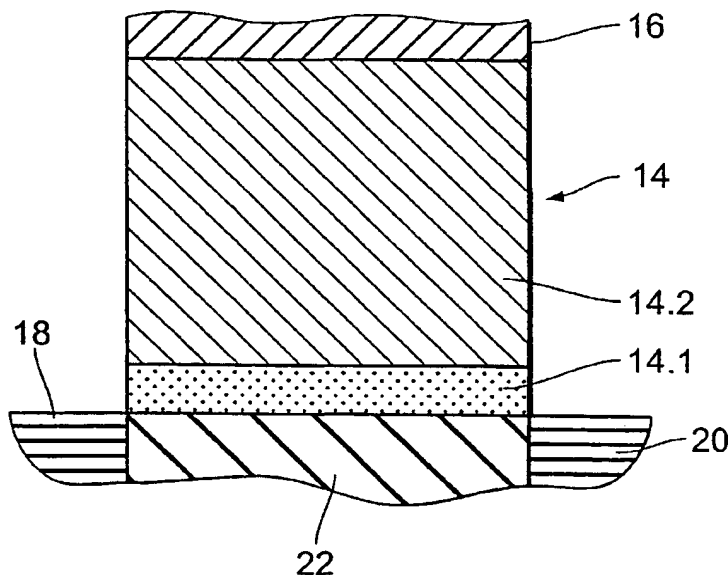
(10) Internationale Veröffentlichungsnummer
WO 02/13275 A1

- (51) Internationale Patentklassifikation⁷: **H01L 29/51**,
21/28
- (21) Internationales Aktenzeichen: **PCT/EP01/08830**
- (22) Internationales Anmeldedatum:
31. Juli 2001 (31.07.2001)
- (25) Einreichungssprache: **Deutsch**
- (26) Veröffentlichungssprache: **Deutsch**
- (30) Angaben zur Priorität:
100 39 327.6 3. August 2000 (03.08.2000) **DE**
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **IHP GMBH-INNOVATIONS FOR HIGH**
- (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **OSTEN, Hans-Jörg**
[DE/DE]; Im Technologiepark 25, 15236 Frankfurt/Oder
(DE).
- (74) Anwalt: **EISENFÜHR, SPEISER & PARTNER**; Pacel-
liale 43/45, 14195 Berlin (DE).
- (81) Bestimmungsstaaten (national): **JP, US.**
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

[Fortsetzung auf der nächsten Seite]

(54) Title: **ELECTRONIC COMPONENT AND METHOD FOR PRODUCING AN ELECTRONIC COMPONENT**

(54) Bezeichnung: **ELEKTRONISCHES BAUELEMENT UND HERSTELLUNGSVERFAHREN FÜR EIN ELEKTRONISCHES BAUELEMENT**



(57) Abstract: The invention relates to an electronic component, comprising a first layer (16) consisting of metallically conductive material, a second layer (12) consisting of semiconductive material and a third layer (14) between said first (16) and said second (12) layer. Said third layer (14) contains a dielectric and configured to restrict or prevent a charge carrier transfer from the first layer to the second layer and from the second layer to the first layer. According to the invention, the dielectric contains praseodymium oxide in predominantly crystalline phase.

[Fortsetzung auf der nächsten Seite]

WO 02/13275 A1

**Erklärung gemäß Regel 4.17:**

- hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten JP, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- mit internationalem Recherchenbericht

(57) Zusammenfassung: Die Erfindung betrifft ein elektronisches Bauelement mit einer ersten Schicht (16) aus metallisch leitfähigem Material, einer zweiten Schicht (12) aus halbleitendem Material und mit einer dritten Schicht (14) zwischen der ersten (16) und der zweiten (12) Schicht, wobei die dritte Schicht (14) ein Dielektrikum enthält und zur Hemmung oder Unterbindung eines Ladungsträgertransports sowohl von der ersten zur zweiten Schicht als auch von der zweiten zur ersten Schicht ausgebildet ist. Erfindungsgemäss enthält das Dielektrikum Praseodymoxid in überwiegend kristalliner Phase.

Elektronisches Bauelement und
Herstellungsverfahren für ein elektronisches Bauelement

Die Erfindung betrifft ein elektronisches Bauelement mit einer ersten Schicht aus metallisch leitfähigem Material, einer zweiten Schicht aus halbleitendem Material und mit einer dritten Schicht zwischen der ersten und der zweiten Schicht, wobei die dritte Schicht ein Dielektrikum enthält und zur Hemmung oder Unterbindung eines Ladungsträgertransports sowohl von der ersten zur zweiten Schicht als auch von der zweiten zur ersten Schicht ausgebildet ist.

Weiterhin betrifft die Erfindung ein Verfahren zur Herstellung eines elektronischen Bauelements, umfassend einen Schritt des Abscheidens einer praseodymoxidhaltigen Materialschicht auf einem Substrat.

Elektronische Bauelemente der oben genannten Art werden üblicherweise mit dem Kürzel MIS (Metal-Insulator-Semiconductor) oder, in ihrer gängigsten und bedeutendsten Ausführungsform, MOS (Metal-Oxide-Semiconductor) gekennzeichnet. Bekannt sind zum Beispiel MOS-Dioden, MOS-Feldeffekttransistoren

(MOSFET), skalierte MOSFETs, bei denen Materialparameter wie Dotierung reduzierten lateralen Maßen der Bauelementstruktur angepasst sind, modulationsdotierte MODFETS, oder DRAM-Strukturen.

Es sei angemerkt, dass die metallisch leitfähige erste Schicht derartiger Bauelemente sowohl von Metallen selbst als auch von hoch dotierten (entarteten) Halbleitern gebildet werden kann. Bei beiden Gruppen von Materialien erfolgt der Ladungstransport in der ersten Schicht im elektrischen Feld mit Hilfe quasi freier Ladungsträger.

Weiterhin sei betont, dass der hier verwendete Begriff "Schicht" nicht notwendigerweise eine im Vergleich zur Schichtdicke große Flächenausdehnung in (lateralen) Richtungen senkrecht zur Schichtfolge impliziert. Durch nachträgliche Strukturierung oder durch entsprechende Einstellung der Herstellungsparameter, beispielsweise in epitaktischen Herstellungsverfahren, können in elektronischen Bauelementen Strukturen erzeugt werden, deren laterale Ausmaße in der Größenordnung der Schichtdicke liegen. Auch solche Strukturen werden hier als "Schicht" bezeichnet.

Die Verwendung von Siliziumoxid SiO_2 als Dielektrikum in der dritten Schicht elektronischer Bauelemente der eingangs genannten Art ist in der jüngsten Vergangenheit an physikalische Grenzen gestoßen. So erfordert die Reduzierung der Strukturmaße bei CMOS (Complementary MOS)-Feldeffekttransistoren eine Verringerung der Dicke des Gate-Dielektrikums zwischen der metallisch leitfähigen Gateelektrode und dem dotierten, halbleitenden Kanal. Für Transistoren mit Kanallängen zwischen Source und Drain von weniger als 100 nm ist bei Verwendung von SiO_2 als Gate-Oxid aufgrund der relativ geringen Dielektrizitätszahl von 3.9 eine Schichtdicke des Dielektrikums von weniger als 2 nm erforderlich. Diese geringe Schichtdicke erhöht die Wahrscheinlichkeit des direkten Tunnelns von Ladungsträgern und verursacht daher deutlich erhöhte Leckströme zwischen Gateelektrode und Kanal oder Drain, die die Leistung des Transistors beeinträchtigen können.

Zur Lösung des Problems ist es bekannt, alternative Materialien zu verwenden, die Siliziumoxid als Dielektrikum ersetzen können. Derartige Materialien weisen eine höhere Dielektrizitätszahl als Siliziumoxid auf. Damit kann im Hinblick auf die Skalierung des Bauelements eine Vergrößerung der Gate-Oxid-Kapazität erzielt werden, ohne die Schichtdicke in einen kritischen Wertebereich zu senken, in dem die Wahrscheinlichkeit für direkte Tunnelprozesse groß ist. Die Gate-Oxid-Kapazität ist bekanntlich proportional zur Dielektrizitätszahl und antiproportional zur Dicke des Gate-Dielektrikums.

Bekannte alternative Dielektrika sind Metalloxide in überwiegend amorpher Phase. Aus der Schrift US-A-6 013 553 ist die Verwendung von Zirkonium- oder Hafnium-Oxynitrid als Gate-Dielektrikum bekannt. Aus der US-A-5 955 213 ist die Verwendung des kristallinen YScMnO_3 als Gate-Dielektrikum in Speicherbauelementen bekannt. Aus den Schriften US-A-5 810 923 und US-A-5 828 080 ist die Verwendung einer epitaktischen ZrO_2 -Schicht bzw. ZrYO_2 -Schicht als Gatedielektrikum bekannt. Diese Materialien ermöglichen zwar eine Verringerung der Leckstromdichte im Vergleich mit einer SiO_2 -Schicht. Als Vergleichsmaß dient hier der Wert der Leckstromdichte bei gleicher äquivalenter Oxidschichtdicke EOT. Die äquivalente Oxidschichtdicke EOT (Equivalent Oxide Thickness) eines Dielektrikums ist das Produkt der Schichtdicke d und des Verhältnisses der Dielektrizitätszahlen von Siliziumoxid (K_{SiO_2}) und des Dielektrikums (K_D):

$$EOT = d \cdot \frac{K_{\text{SiO}_2}}{K_D} \quad (1)$$

Die aus den Schriften B.H. Lee et al, Techn. Dig IEEE International Electron Devices Meeting 1999 (IEDM '99), pp. 133 und W.J Qi et al., Techn. Dig. IEDM '99, pp. 145 bekannten Werte der Leckstromdichte von ZrO_2 und HfO_2 bei gegebenem Wert von $EOT = 1.4$ Nanometer sind zwar gegenüber bekannten Werten von SiO_2 bei einer Gatespannung von 1V um einen Faktor bis zu etwa 10^{-4} auf Werte von etwa 10^{-3} bis 10^{-4} A/cm² verringert. Wünschenswert ist jedoch eine weitere Verringerung der Leckstromdichte, um Bauelemente mit besonders hoher

Skalierung, das heißt besonders geringen Maßen der relevanten Bauelementstrukturen herstellen zu können.

P.Singh, B. Baishya, phys. stat. sol. (a) **104**, 1987, 885-889 berichten über die Untersuchung verschiedener Selten-Erd-Oxide, darunter auch überwiegend amorphes Praseodymoxid Pr_6O_{11} auf ihre Tauglichkeit für die Verwendung als Gate-Dielektrikum in Dünnschichttransistoren aus II-VI-Halbleitern. Die Herstellung dieser Dünnschichttransistoren erfolgte mit Hilfe eines "Multiple-Pump-Down"-Verfahrens durch Verdampfen fester Ausgangsmaterialien unter Elektronenstrahleinwirkung in einer Vakuumkammer. Die so hergestellten Bauelemente wurden anschließend einem Schritt des thermischen Ausheilens in Umgebungsluft bei 200°C über 3 bis 4 Stunden ausgesetzt. Die so hergestellten Bauelemente mit einer Praseodymoxid-Schicht wiesen eine geringe Beständigkeit auf.

Aufgabe der Erfindung ist es, ein elektronisches Bauelement der eingangs genannten Art so weiterzubilden, dass es besonders hoch skaliert werden kann. Weiterhin ist es Aufgabe der Erfindung, ein Verfahren zur Herstellung eines elektronischen Bauelements, umfassend einen Schritt des Abscheidens einer praseodymoxidhaltigen Materialschicht aus einer gasförmigen Umgebung auf einem Substrat, so weiterzubilden, dass besonders hoch skalierte Bauelemente hergestellt werden können.

Erfindungsgemäß wird diese Aufgabe für ein elektronisches Bauelement der eingangs genannten Art dadurch gelöst, dass das Dielektrikum Praseodymoxid in überwiegend kristalliner Phase enthält. Das heißt, dass das Praseodymoxid überwiegend entweder einkristallin oder in Form mehrerer, verschiedener kristalliner Phasen vorliegen kann, jedoch überwiegend nicht amorph oder polykristallin ist.

Die Erfindung hat den Vorteil, dass Praseodymoxid in überwiegend kristalliner Phase gegenüber bekannten, zur Verwendung in skalierten elektronischen Bauelementen geeigneten Dielektrika stark verbesserte Eigenschaften aufweist. Hierzu zählt zum

einen, dass erfindungsgemäße Praseodymoxidschichten eine von der Dotierung des Substrats unabhängige effektive Dielektrizitätszahl K_{eff} von 31 ± 3 aufweisen. Zum anderen weist Praseodymoxid in überwiegend kristalliner Phase als Dielektrikum in MOS-Strukturen eine äußerst geringe Leckstromdichte auf. In einer MOS-Struktur mit äquivalenter Oxidschichtdicke von 1.4 nm wurden bei einer Gatespannung von 1 V Werte der Leckstromdichte bis hinab zu $5 \cdot 10^{-9} \text{ A/cm}^2$ gemessen. Diese Werte sind aufgrund der identischen Randbedingungen direkt mit den oben genannten Werten für ZrO_2 und HfO_2 vergleichbar und zeigen eine Verringerung der Leckstromdichte gegenüber diesen Dielektrika um einen Faktor von mehr als 10^{-4} .

Überwiegend kristalline Praseodymoxidschichten zeichnen sich weiterhin dadurch aus, dass sie keine signifikanten Hystereseeffekte in Kapazitäts-Spannungs(CV)-Messungen zeigen. Das Material ist zudem äußerst beständig. Ohne Beeinträchtigung der elektrischen Eigenschaften konnten auf Si abgeschiedene Praseodymoxidschichten über eine Zeitspanne von 15 Sekunden einer Temperatur von 1000°C ausgesetzt werden. Schließlich zeigen belastungsinduzierte Leckstrom-Messungen (Stress induced leakage current, SILC) eine hohe Belastbarkeit praseodymoxidhaltiger dielektrischer Schichten auch über längere Zeitspannen. Ein Durchbruch, d.h. ein Zusammenbruch des dielektrischen Verhaltens (dielectric breakdown) tritt erst bei elektrischen Feldstärken oberhalb von 43 Megavolt/cm ein. Nach einem solchen Zusammenbruch stellen sich die ursprünglichen dielektrischen Eigenschaften ohne signifikante Abweichung von vorherigen Werten wieder ein.

Aufgrund seiner Eigenschaften ist Praseodymoxid als Dielektrikum in überwiegend kristalliner Phase demzufolge besonders geeignet für skalierte elektronische Bauelemente mit Skalierungsfaktoren, die bisherige Werte übersteigen. Es kann aber selbstverständlich auch in anderen Bauelementen, beispielsweise den eingangs aufgeführten, als Dielektrikum Verwendung finden.

Die dritte Schicht des erfindungsgemäßen Bauelementes weist in einer bevorzugten Ausführungsform einen einkristallinen Bereich auf. Besonders gute dielektrische

Eigenschaften der dritten, also der Gate-Oxid-Schicht können erzielt, können, wenn diese Schicht aus nur wenigen in sich einkristallinen Domänen besteht. Die Qualität der dritten Schicht sinkt dagegen drastisch, wenn das Praseodymoxid in polykristalliner Phase vorliegt. Dies zeigt sich anhand stark erhöhter Werte der Leckstromdichte.

Bei einer weiteren Ausführungsform weist die dritte Schicht einen amorphen Bereich auf. Dieser ist typischerweise im Bereich der Grenzfläche zwischen der zweiten und der dritten Schicht angeordnet und erstreckt sich in lateraler Richtung über die gesamte Grenzfläche. Der amorphe Bereich enthält beispielsweise in CMOS-Feldeffekttransistoren, bei denen die zweite Schicht ganz überwiegend aus Silizium besteht, bisherigen Untersuchungen zufolge ein Praseodym-Silicat.

Durch geeignete Einstellung der Parameter des Herstellungsverfahrens ist es möglich, das Entstehen einer solchen amorphen Zwischenschicht zu verhindern. Die Erstreckung des amorphen Bereichs sollte jedenfalls in Richtung der Schichtfolge maximal 20 % der Gesamterstreckung der dritten Schicht in dieser Richtung betragen. Die bisherigen Untersuchungen förderten Anzeichen dafür zu Tage, dass eine amorphe Zwischenschicht eine geringere Dielektrizitätszahl aufweist als die kristalline Phase. Die Dickenverhältnisse der amorphen Zwischenschicht und der kristallinen Schicht bestimmen jedoch die resultierende, effektive Dielektrizitätszahl der dritten Schicht als Ganzer.

Bei weiteren Ausführungsformen des erfindungsgemäßen elektronischen Bauelementes beträgt die Erstreckung der dritten Schicht in Richtung der Schichtfolge maximal 50 Nanometer.

Das Beimischen anderer Materialien zur dritten Schicht, wie beispielsweise ZrO_2 oder HfO_2 ist grundsätzlich ohne weiteres möglich. Bevorzugt besteht das Dielektrikum jedoch vollständig aus Praseodymoxid.

Grundsätzlich können alle bekannten Oxide des Praseodyms, also beispielsweise PrO_2 , beide Modifikationen von Pr_2O_3 , oder Pr_6O_{11} im Dielektrikum enthalten sein. In einer bevorzugten Ausführungsform enthält das Dielektrikum Praseodymoxid Pr_2O_3 . Mit diesem Oxid des Praseodyms wurden in bisherigen Untersuchungen die besten Ergebnisse erzielt.

Dabei liegt Pr_2O_3 vorzugsweise in D5_3 -Kristallstruktur oder D5_2 -Kristallstruktur vor. Die D5_3 -Struktur stellt sich beispielsweise unter geeigneten Wachstumsparametern bei Abscheiden von Pr_2O_3 auf einer $\text{Si}(001)$ -Oberfläche ein. Bei Abscheiden von Pr_2O_3 auf einer $\text{Si}(111)$ -Oberfläche entsteht bei geeigneten Wachstumsparametern eine D5_2 -Struktur.

Das derzeit für die Ausführung der Erfindung bei weitem bevorzugte elektronische Bauelement ist ein Feldeffekttransistor. In einer Ausführungsform ist das elektronische Bauelement als skaliertes CMOS-FET ausgebildet, wobei die erste Schicht als Gate-Elektrode ausgebildet ist und die dritte Schicht an einen in der zweiten Schicht in zur Schichtfolge senkrechter Richtung zwischen einer Source- und einer Drain-Struktur ausgebildeten Kanal angrenzt. In einer weiteren Ausführungsform ist das erfindungsgemäße elektronische Bauelement als modulationsdotierter Feldeffekttransistor (MODFET) ausgebildet.

Die zweite Schicht besteht an ihrer Grenzfläche zur dritten Schicht bevorzugt ganz überwiegend aus Silizium mit einer (001)- oder mit einer (111)-Kristallorientierung.

Hinsichtlich ihres Verfahrensaspektes bildet die Erfindung ein Verfahren zur Herstellung eines elektronischen Bauelements, umfassend einen Schritt des Abscheidens einer praseodymoxidhaltigen Materialschicht aus einer gasförmigen Umgebung auf einem Substrat, dadurch weiter, dass die praseodymoxidhaltige Materialschicht bei einer Substrattemperatur zwischen 500°C und 800°C abgeschieden wird.

Der Vorteil des erfindungsgemäßen Verfahrens besteht darin, dass die praseodymhaltige Materialschicht im angegebenen Substrattemperaturintervall in überwiegend kristalliner Form abgeschieden wird. Das Entstehen einer polykristallinen praseodymhaltigen Materialschicht wird verhindert. Auf diese Weise werden überwiegend kristalline praseodymhaltige Schichten erzeugt, die, wie oben dargestellt wurde und weiter unten anhand der Figuren 1 bis 8 im einzelnen beschrieben wird, äußerst vorteilhafte dielektrische Eigenschaften aufweisen.

Das Substrat für das Wachstum der praseodymhaltigen Materialschicht bildet die im Herstellungsverfahren zuvor aufgewachsene oder präparierte Schicht. Bei der Herstellung eines CMOS-FET beispielsweise bildet die Kanalschicht das Substrat für die Abscheidung des Gate-Dielektrikums. Die Kanalschicht wird üblicherweise durch einkristallines Silizium in (001)-Orientierung gebildet.

In einer bevorzugten Verfahrensform werden praseodymoxidhaltige Materialschichten in einem Substrattemperaturintervall zwischen 600°C und 750°C abgeschieden. Die unter diesen Bedingungen entstandenen Schichten weisen eine besonders reine Kristallstruktur auf. In dieser Hinsicht beste Ergebnisse werden derzeit bei einer Substrattemperatur von 625°C erzielt.

Der Schritt des Abscheidens einer praseodymhaltigen Materialschicht kann mit Hilfe eines an sich bekannten molekularstrahl-epitaktischen Wachstumsverfahrens durchgeführt werden.

Für das Abscheiden der praseodymhaltigen Materialschicht wird in einer Ausführungsform des erfindungsgemäßen Verfahrens vorzugsweise ein festes Ausgangsmaterial verdampft. Ein Teil des verdampften Materials gelangt in die unmittelbare Umgebung des Substrats, auf dem dann nach und nach die Kristallbildung stattfindet. Das Verdampfen kann beispielsweise unter Einwirkung eines Elektronenstrahls herbeigeführt werden. Als festes Ausgangsmaterial können beispielsweise alle bekannten Praseodymoxide verwendet werden. Vorzugsweise

wird Praseodymoxid Pr_6O_{11} verwendet.

Alternativ kann für die Abscheidung von Praseodymoxid auf dem Substrat eine chemische Reaktion zweier oder mehrerer gasförmiger Ausgangsstoffe herbeigeführt werden. Hierfür kann auf bekannte Verfahren der Gasphasenepitaxie zurückgegriffen werden. Beispielsweise wird für die Abscheidung von Praseodymoxid auf dem Substrat eine chemische Reaktion zweier oder mehrerer metallorganischer gasförmiger Ausgangsstoffe herbeigeführt. Es können hierfür gängige MOCVD (Metal Organic Chemical Vapor Deposition)- bzw. MOVPE (Metal Organic Chemical Vapor Epitaxy)- Reaktoren und -verfahren verwendet werden.

Mit Hilfe der genannten Wachstumsverfahren können einkristalline oder aus verschiedenen kristallinen Phasen zusammengesetzte Schichten aufgewachsen werden. Die kristalline Orientierung der praseodymhaltigen Schicht gegenüber dem Kanal kann dabei epitaktisch sein.

Die Reinheit der Kristallstruktur wird bei einer Ausführungsform des erfindungsgemäßen Verfahrens durch einen auf das Abscheiden folgenden Schritt des thermischen Ausheilens verbessert. Die Substrattemperatur beträgt während des thermischen Ausheilens mindestens 400°C und höchstens 1000°C , insbesondere zwischen 550°C und 700°C . Bei 600°C über eine kurze Zeitspanne (ca. 5 Minuten) ausgeheilte Schichten zeigen in Kapazitäts-Spannungs(CV)-Messungen keine Hysterese der Kapazität. Die Oberflächenrauigkeit ist im Mittel (RMS) geringer als 0.5 nm.

Weitere Vorteile der Erfindung werden bei der folgenden Beschreibung einiger Ausführungsbeispiele anhand der Zeichnung erläutert. Darin zeigen

- Figur 1 ein Röntgenbeugungsspektrum einer Pr_2O_3 -Schicht auf Si (001),
Figur 2 das Ergebnis einer CV-Messung an einer zweiten, auf p-Si gewachsenen Pr_2O_3 -Schicht,

- Figur 3 einen Vergleich der Röntgenbeugungsspektren einer dritten Pr_2O_3 -Schicht im unbehandelten Zustand und nach kurzzeitigem Erhitzen auf 1000°C ,
- Figur 4 das Ergebnis einer CV-Messung an der dritten Schicht nach dem Erhitzen,
- Figur 5 das Ergebnis von SILC-Messungen an einer vierten Pr_2O_3 -Schicht,
- Figur 6 das Ergebnis von Messungen der Stromdichte in Abhängigkeit von der angelegten Spannung an 16 gleichartig hergestellten Gold/ Pr_2O_3 /n-Si Kondensatoren,
- Figur 7 das Ergebnis von Messungen der Stromdichte als Funktion der Zeit an zwei weiteren Gold/ Pr_2O_3 /n-Si Kondensatoren unter zwei verschiedenen elektrischen Spannungen,
- Figur 8 das Ergebnis von Messungen der Stromdichte in Abhängigkeit von der angelegten Spannung bei denselben Kondensatoren wie in Figur 7 nach Durchführung der Messungen der Figur 7,
- Figur 9 eine schematische Darstellung des Schichtaufbaus im Bereich des Gates eines MOSFETs und
- Figur 10 eine schematische Darstellung eines erfindungsgemäßen, Si-basierten CMOSFETs.

Figur 1 zeigt ein Röntgenbeugungsspektrum einer 13.4 Nanometer dicken Pr_2O_3 -Schicht auf (001)-Silizium. Diese Schicht wurde bei einer Substrattemperatur von 625°C mit Hilfe der Molekularstrahlepitaxie unter Verwendung von festem Ausgangsmaterial (Pr_6O_{11}) hergestellt und anschließend bei einer Substrattemperatur von 600°C für fünf Minuten thermisch ausgeheilt. Dargestellt ist die gebeugte Röntgenintensität in Einheiten von Zählimpulsen eines Detektors als Funktion des doppelten Beugungswinkels (2θ). Das Spektrum zeigt eine dominierende Beugungslinie bei $2\theta = 70^\circ$, die auf die Beugung am Siliziumgitter zurückzuführen ist. Bei einem doppelten Beugungswinkel von etwa 45° ist eine zweite Beugungslinie mit im Vergleich etwas geringerer Intensität als der des Siliziumpeaks zu erkennen. Diese Linie ist auf die Beugung des Röntgenlichts am Kristallgitter von

Pr_2O_3 zurückzuführen. Dieses Ergebnis zeigt, dass das Praseodymoxid überwiegend einkristallin vorliegt, und wird im übrigen durch hier nicht gezeigte Elektronenbeugungs- und hochaufgelöste transmissionselektronenmikroskopische Untersuchungen bestätigt.

Figur 2 zeigt das Ergebnis einer Kapazitäts-Spannungs (CV)- Messung an einer zweiten, 13.4 nm dicken Pr_2O_3 -Schicht. Dargestellt ist die Abhängigkeit der Kapazität von der Maximalamplitude eines hochfrequenten (100 kHz) Spannungspulses V_g zwischen einer unten näher beschriebenen Elektrode und dem Substrat, wobei die Maximalamplitude des hochfrequenten Spannungspulses für die Aufnahme der zwei dargestellten Kurven um 0,1 Volt pro Sekunde erhöht bzw. verringert wurde. Die vorliegende Schicht wurde auf p-dotiertem (001)-Silizium mit einem spezifischen Widerstand von 10 $\Omega \cdot \text{cm}$ unter ansonsten identischen Bedingungen wie die Schicht aus Figur 1 abgeschieden und anschließend mit einer Gold-Elektrode versehen. Die Goldelektrode wurde durch Abscheiden von verdampftem Gold durch eine Schattenmaske ('shadow mask') aufgebracht. Die Messung wurde nach dem thermischen Ausheilen vorgenommen. Im Diagramm der Figur 2 zeigt eine durchgezogene Linie die CV-Kurve bei einem ersten Messdurchlauf, während dessen die Maximalamplitude des Spannungspulses von 3 Volt auf -1 Volt verringert wurden. Eine gestrichelte Linie im Diagramm zeigt die CV-Kurve bei einem unmittelbar nachfolgenden zweiten Messdurchlauf, während dessen die Maximalamplitude des Spannungspulses von -1 Volt auf 3 Volt erhöht wurde. Die Kapazität der Schicht beträgt bei einer Spannung von -1 Volt ca. 3000 Picofarad, und fällt ab einem Spannungswert von etwa -0,5 Volt drastisch bis auf Werte um 200 Pikofarad bei +0,5 Volt. Bei weiter zunehmender Spannung fällt der Wert der Kapazität geringfügig bis auf einen Wert von unter 100 Pikofarad bei 3 Volt. Die Messungen sind weitestgehend unabhängig von der Durchlaufrichtung und zeigen, dass keine signifikanten Hystereseeffekte auftreten.

Figur 3 zeigt zwei Röntgenspektren der gleichen Art wie Figur 1. Sie wurden an einer dritten, 14.9nm dicken Pr_2O_3 -Schicht auf Silizium gemessen und zwar zum

einen (unteres Spektrum) im unbehandelten Zustand ("as grown") und zum anderen (oberes Spektrum) anschließend an eine thermischen Behandlung in Stickstoffatmosphäre bei einer Substrattemperatur von 1000°C über eine Zeitspanne von 15 Sekunden. Das Röntgenspektrum der behandelten Schicht ist allein zur Verdeutlichung der Darstellung in Richtung der Ordinate nach oben verschoben. Es zeigt sich im Vergleich der beiden Spektren, dass die thermische Behandlung keinen messbaren Einfluss auf die kristalline Struktur der behandelten Probe hatte. Denn die beiden Spektren sind im wesentlichen identisch. Eine Verschlechterung der Reinheit der Kristallstruktur wäre anhand einer Verbreiterung des dem Pr_2O_3 zuzuordnenden Peaks bei etwa $2\theta = 45^\circ$ zu erkennen gewesen.

Figur 4 zeigt das Ergebnis einer analog zur anhand von Figur 2 beschriebenen Vorgehensweise durchgeführten CV-Messung an der thermisch behandelten dritten Schicht. Die Abhängigkeit der Kapazität von der Spannung ist bei der behandelten Schicht gegenüber der aus Figur 2 bekannten Abhängigkeit der vergleichbaren, jedoch unbehandelten zweiten Schicht kaum verändert. Dies zeigt, dass die dielektrischen Eigenschaften der Probe nach einer thermischen Behandlung selbst bei sehr hohen Temperaturen wie 1000°C keine Verschlechterung erfahren.

Figur 5 zeigt das Ergebnis von SILC-Messungen an einer vierten Pr_2O_3 -Schicht auf einem Siliziumsubstrat. Diese Schicht weist eine EOT von 1.4nm auf und ist mit einer Goldelektrode versehen. Sie wurde unmittelbar vor der Messung einer Spannung von 4.56 Volt, entsprechend 32 Megavolt/Zentimeter ausgesetzt. Dargestellt ist der Betrag der Leckstromdichte J_g in Einheiten von Ampere/cm^2 in Abhängigkeit von der Spannung V_g zwischen der Goldelektrode und dem Substrat. Es wurden fünf Messungen durchgeführt, denen unterschiedlich lange Belastungszeiten der Probe vorangingen. Die Ergebnisse sind im Diagramm der Figur 5 mit Hilfe von Kurven unterschiedlicher Linienart dargestellt. Die erste Messung (durchgezogene Linie) wurde durchgeführt, bevor die Schicht der Belastungsspannung ausgesetzt wurde. Weitere Messungen wurden nach 30, 60, 300 und 600 Sekunden langen Belastungszeitspannen durchgeführt. Die Zuordnungen der

Messkurven zur jeweiligen Messung können der Legende im Diagramm oben links entnommen werden. Im Ergebnis zeigen sich äußerst geringfügige Veränderungen der Abhängigkeit der Leckstromdichte von der Gatespannung V_g selbst nach einer Belastung der Schicht über eine Zeitspanne von 600 Sekunden. Dies bestätigt die schon zuvor festgestellte, überraschend hohe Belastbarkeit der nach dem erfindungsgemäßen Verfahren hergestellten Schichten.

Figur 6 zeigt das Ergebnis von Messungen der Leckstromdichte J_g in Abhängigkeit von der angelegten Spannung V_g an 16 gleichartig hergestellten Gold/ Pr_2O_3 /n-Si Kondensatoren. Die von der Praseodymoxidschicht bedeckte Substratfläche betrug bei allen Kondensatoren $1.89 \cdot 10^{-3} \text{ cm}^2$. Die EOT betrug 1.4 nm. Alle dargestellten Kurven zeigen einen gleichartigen Verlauf. Die Leckstromdichte beträgt bei einer Spannung von $V_g = -2 \text{ Volt}$ zwischen 10^{-8} und 10^{-7} A/cm^2 , sinkt dann bis auf einen Wert von unter 10^{-11} A/cm^2 bei 0 Volt und steigt bei zunehmender positiver Spannung V_g annähernd symmetrisch zum Verlauf bei negativen Spannungswerten an. Bei $V_g = 1 \text{ Volt}$ erreicht die Leckstromdichte im Mittel einen Wert von $J_g(1\text{V}) = (5,0 \pm 0,5) \cdot 10^{-9} \text{ A/cm}^2$. Die Schwankung dieses Wertes bei unterschiedlichen Kondensatoren ist offensichtlich äußerst gering. Zu höheren positiven Spannungen hin steigt die Leckstromdichte weiter an. Ein Durchbruch tritt erst oberhalb von 6 Volt auf, entsprechend einer elektrischen Feldstärke von 43 Megavolt/cm.

Figur 7 zeigt als Ergebnis einer weiteren Belastungsmessung die Abhängigkeit der Leckstromdichte vom Zeitpunkt nach Anlegen einer Spannung von 5,02 V bzw. 5,24V für zwei Gold/ Pr_2O_3 /Si (001) Kondensatoren mit EOT von 1.4 nm. Ein Durchbruch ist erst nach über 100 s zu beobachten. Auch diese Messungen zeigen die Beständigkeit der mit dem erfindungsgemäßen Verfahren hergestellten Schichten.

Figur 8 zeigt die Ergebnisse von CV-Messungen an den beiden Kondensatoren vor und nach den in Figur 7 dargestellten Belastungsmessungen. Die gestrichelt gezeichneten Kurven geben die Abhängigkeit nach der Belastungsmessung wieder

(vgl. die Legende im Diagramm oben links), während die durchgezogen gezeichnete Kurve die Abhängigkeit vor der Messung darstellt. Es zeigt sich, dass der in den Belastungsmessungen herbeigeführte Durchbruch nur äußerst geringfügige Unterschiede der Abhängigkeit der Leckstromdichte J_g von der Gatespannung V_g verursacht. Die Kondensatoren "erholen" sich also vollständig von dem Durchbruch.

Figur 9 zeigt eine schematische Schnittansicht eines erfindungsgemäßen MOSFETs 10. Auf einem Siliziumsubstrat 12 mit Orientierung (001) ist eine Gateoxid-Schicht 14 aufgewachsen. Die Gateoxid-Schicht 14 besteht aus Praseodymoxid Pr_2O_3 . Ihre Dicke beträgt weniger als 50 nm. Auf der Gateoxidschicht 14 ist eine Gateelektrode 14 aufgebracht. Die Gateelektrode 14 besteht im vorliegenden Ausführungsbeispiel aus Gold, kann aber auch aus p- oder n-leitendem Silizium, einem anderen Metall, einer Legierung mehrerer Metalle, jeweils einzeln oder in Kombination miteinander bestehen.

Das Substrat weist einen mit Hilfe beispielsweise der Ionenimplantation dotierten Source-Abschnitt 18 und einen Drain-Abschnitt 20 auf. Zwischen Source 18 und Drain 20 erstreckt sich senkrecht zur Schichtfolge ein dotierter Kanal 22.

Die Struktur des hier dargestellten MOSFETs 10 ist grundsätzlich bekannt. Die Darstellung verzichtet daher auf dem Fachmann ohnehin geläufige Details. Mit Hilfe der Gateoxidschicht werden jedoch neue Möglichkeiten der Skalierung derartiger MOSFETs eröffnet, die im einzelnen zu Veränderungen der Struktur führen können. Es versteht sich, dass die Richtung der Schichtfolge des MOSFETs 10 beliebig variiert werden kann.

Figur 10 zeigt in vergrößerter Darstellung den Bereich des Gateoxids 14 aus Figur 1. Gleiche Bezugszeichen kennzeichnen im Vergleich mit Figur 1 gleiche Strukturelemente des MOSFETs 10. Die Gateoxid-Schicht 14 weist unmittelbar an den Kanal 14 angrenzende amorphe Grenzflächenschicht 14.1 auf, die ein Silicat mit Praseodym und Sauerstoff enthält. Durch geeignete Wahl der Wachstumsparameter

bei der Herstellung der Gateoxid-Schicht beträgt die Dicke der Grenzflächenschicht 14.1 in Richtung der Schichtfolge weniger als 20% der Dicke der Gateoxid-Schicht 14. An die Grenzflächenschicht 14.1 schließt sich zur Gateelektrode 16 hin eine überwiegend einkristalline Praseodymoxid-Schicht 14.2 an.

Patentansprüche

1. Elektronisches Bauelement mit einer ersten Schicht (16) aus metallisch leitfähigem Material, einer zweiten Schicht (12) aus halbleitendem Material und mit einer dritten Schicht (14) zwischen der ersten (16) und der zweiten (12) Schicht, wobei die dritte Schicht (14) ein Dielektrikum enthält und zur Hemmung oder Unterbindung eines Ladungsträgertransports sowohl von der ersten zur zweiten Schicht als auch von der zweiten zur ersten Schicht ausgebildet ist, dadurch gekennzeichnet, dass das Dielektrikum Praseodymoxid in überwiegend kristalliner Phase enthält.
2. Elektronisches Bauelement nach Anspruch 1, dadurch gekennzeichnet, dass die dritte Schicht (14) einen einkristallinen Bereich (14.2) aufweist.
3. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die dritte Schicht einen amorphen Bereich (14.1) aufweist.
4. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Erstreckung des amorphen Bereichs (14.1) in Richtung der Schichtfolge maximal 20 % der Gesamterstreckung der dritten Schicht (14) in dieser Richtung beträgt.
5. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Erstreckung der dritten Schicht (14) in Richtung der Schichtfolge maximal 50 Nanometer beträgt.
6. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Dielektrikum aus Praseodymoxid besteht.
7. Elektronisches Bauelement nach einem der vorstehenden Ansprüche,

dadurch gekennzeichnet, dass die Dielektrizitätszahl des Dielektrikums zwischen 20 und 40 beträgt.

8. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Dielektrikum Praseodymoxid Pr_2O_3 enthält.
9. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Dielektrikum Pr_2O_3 in D5_3 -Kristallstruktur oder D5_2 -Kristallstruktur enthält.
10. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Bauelement als Feldeffekttransistor (10) ausgebildet ist.
11. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Bauelement als skaliertes CMOS-FET ausgebildet ist, wobei die erste Schicht als Gate-Elektrode (16) ausgebildet ist und die dritte Schicht (14) an einen in der zweiten Schicht (12) in zur Schichtfolge senkrechter Richtung zwischen einer Source- (18) und einer Drain-Struktur (22) ausgebildeten Kanal (22) angrenzt.
12. Elektronisches Bauelement nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die zweite Schicht (12) an ihrer Grenzfläche zur dritten Schicht (14) aus Silizium mit einer (001)- oder mit einer (111)-Kristallorientierung besteht.
13. Verfahren zur Herstellung eines elektronischen Bauelements, umfassend einen Schritt des Abscheidens einer praseodymoxidhaltigen Materialschicht aus einer gasförmigen Umgebung auf einem Substrat, dadurch gekennzeichnet, dass die praseodymoxidhaltige Materialschicht bei einer Sub-

strattemperatur zwischen 500°C und 800°C abgeschieden wird.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass die praseodymhaltige Materialschicht bei einer Substrattemperatur zwischen 600°C und 750°C abgeschieden wird.
15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass die praseodymhaltige Materialschicht bei einer Substrattemperatur von 625°C abgeschieden wird.
16. Verfahren nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, dass der Schritt des Abscheidens einer praseodymhaltigen Materialschicht mit Hilfe eines molekularstrahl-epitaktischen Wachstumsverfahrens durchgeführt wird.
17. Verfahren nach einem der Ansprüche 13 bis 16, dadurch gekennzeichnet, dass für das Abscheiden der praseodymhaltigen Materialschicht ein festes Ausgangsmaterial verdampft wird.
18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, dass Praseodymoxid Pr_6O_{11} verdampft wird.
19. Verfahren nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, dass für die Abscheidung von Praseodymoxid auf dem Substrat eine chemische Reaktion zweier oder mehrerer gasförmiger Ausgangsstoffe herbeigeführt wird.
20. Verfahren nach Anspruch 19, dadurch gekennzeichnet, dass für die Abscheidung von Praseodymoxid auf dem Substrat eine chemische Reaktion zweier oder mehrerer metallorganischer gasförmiger Ausgangsstoffe herbeigeführt wird.

21. Verfahren nach einem der vorstehenden Ansprüche, gekennzeichnet durch einen auf das Abscheiden folgenden Schritt des thermischen Ausheilens, wobei die Substrattemperatur während des thermischen Ausheilens mindestens 400° C und höchstens 1000° C beträgt.
22. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Temperatur der Schicht während des thermischen Ausheilens zwischen 550° C und 700° C beträgt.

1/5

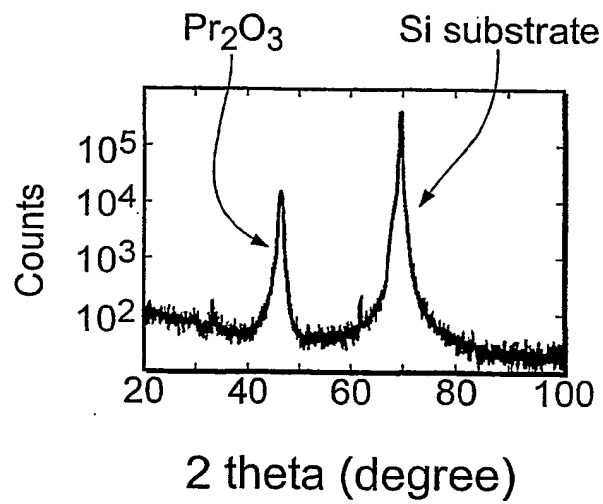


Fig. 1

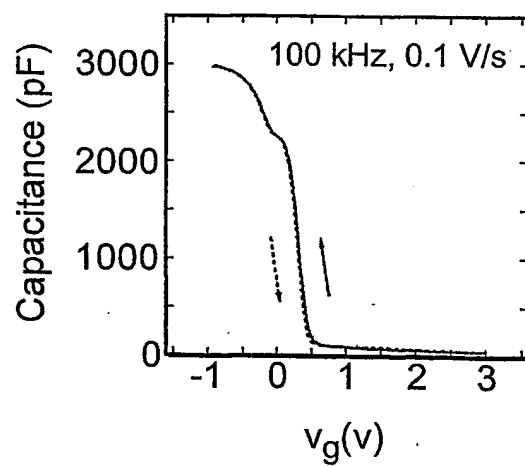


Fig. 2

2/5

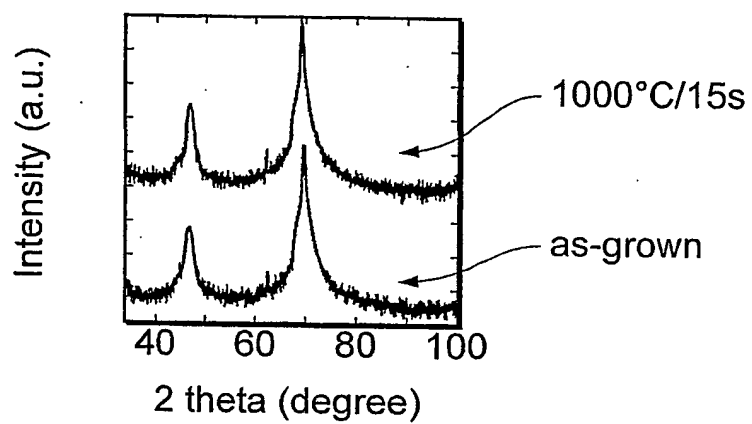


Fig. 3

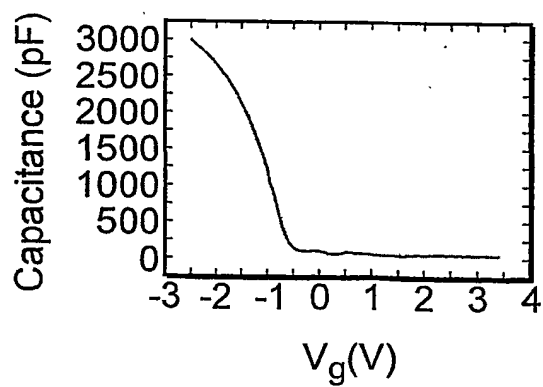


Fig. 4

3/5

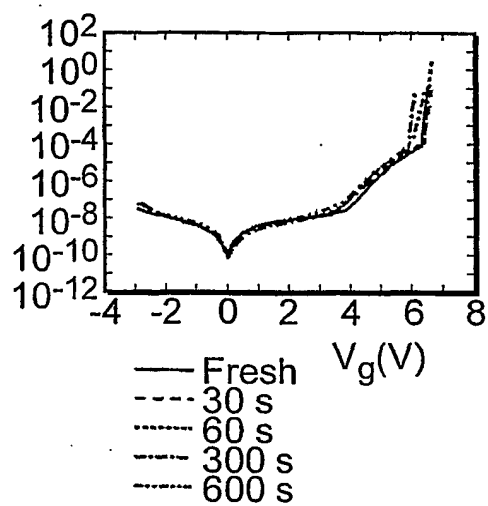


Fig. 5

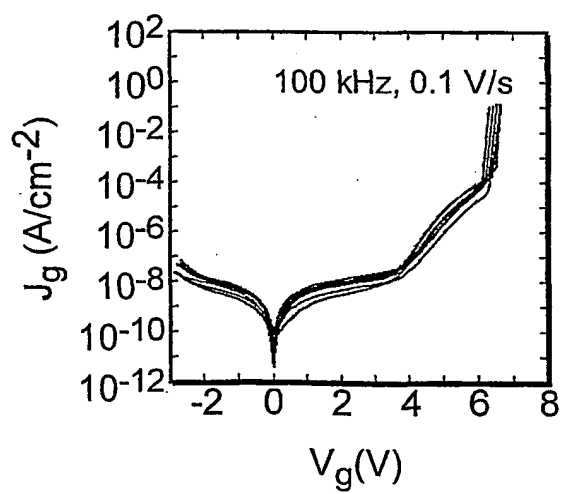


Fig. 6

4/5

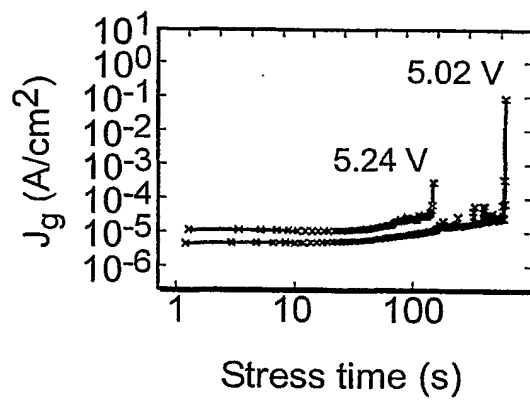


Fig. 7

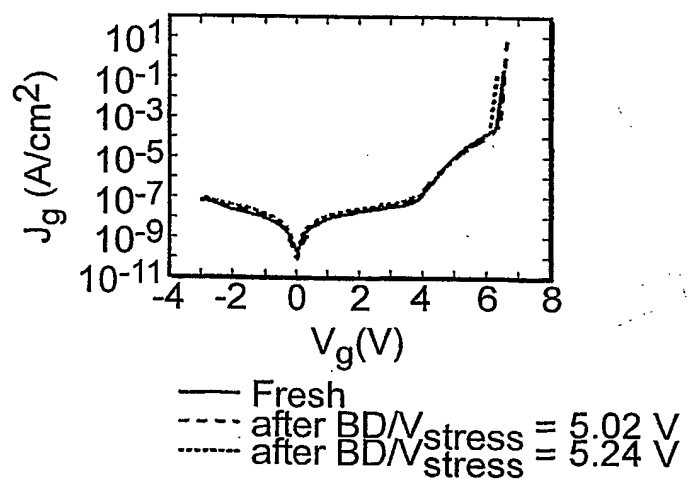


Fig. 8

5/5

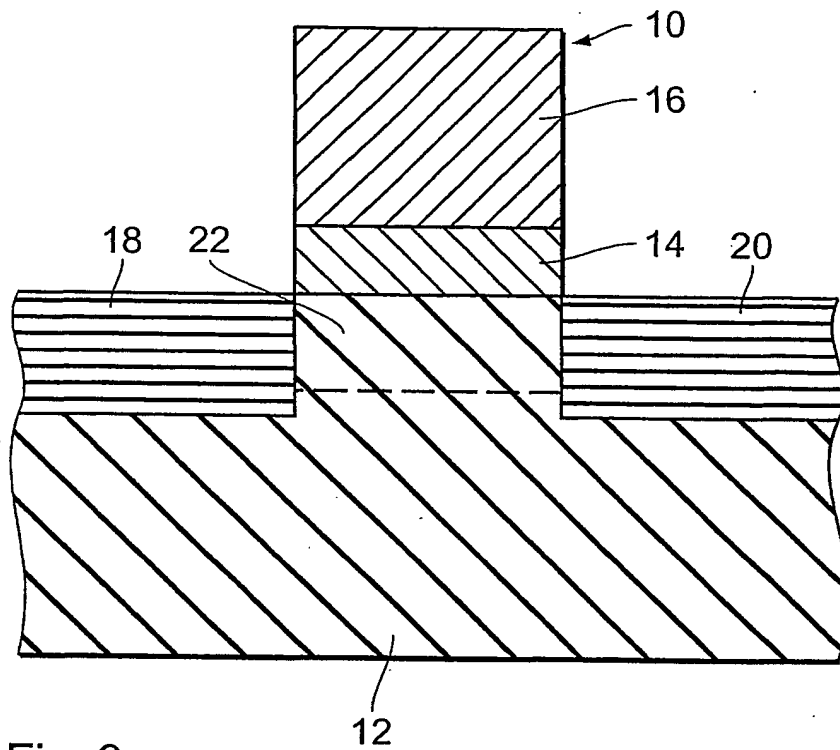


Fig. 9

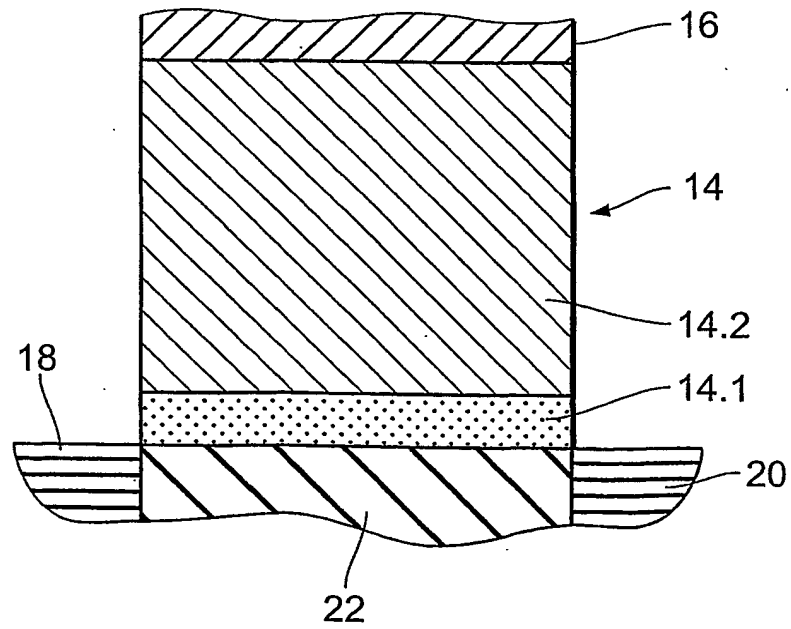


Fig. 10

INTERNATIONAL SEARCH REPORT

Int. Application No
PCT/EP 01/08830

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/51 H01L21/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 828 080 A (NOGUCHI TAKAO ET AL) 27 October 1998 (1998-10-27) cited in the application abstract column 23, line 38 - column 24, line 65 column 26, line 52 - line 63 column 30, line 57 - line 58 ---	1,2,5-8, 10-16, 19,20
A	SINGH, P. ET AL.: "A COMPARATIVE STUDY OF THIN FILM TRANSISTORS USING RARE EARTHS OXIDES AS GATES" THIN SOLID FILMS, vol. 147, 1987, pages 25-32, XP001031001 the whole document ---	1,5-7,15
A	US 6 087 702 A (CHANG LIANN-BE ET AL) 11 July 2000 (2000-07-11) column 3, line 47 - line 62; figure 2B ---	1,13
	-/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

12 November 2001

Date of mailing of the international search report

16/11/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 01/08830

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 013 553 A (WILK GLEN D ET AL) 11 January 2000 (2000-01-11) cited in the application column 6, line 31 - line 36 -----	1-22
P,X	OSTEN H J ET AL: "HIGH-K GATE DIELECTRICS WITH ULTRA-LOW LEAKAGE CURRENT BASED ON PRASEODYMIUM OXIDE" INTERNATIONAL ELECTRON DEVICES MEETING 2000. IEDM. TECHNICAL DIGEST. SAN FRANCISCO, CA, DEC. 10 - 13, 2000, NEW YORK, NY: IEEE, US, 10 December 2000 (2000-12-10), pages 653-656, XP001036704 ISBN: 0-7803-6439-2 the whole document -----	1-3, 5-18, 21, 22

INTERNATIONAL SEARCH REPORT

Information on patent family members

In International Application No

PCT/EP 01/08830

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5828080	A	27-10-1998	JP 8255790 A	01-10-1996
			JP 8109099 A	30-04-1996
			JP 8274199 A	18-10-1996
			JP 8274087 A	18-10-1996
			US 5810923 A	22-09-1998
US 6087702	A	11-07-2000	NONE	
US 6013553	A	11-01-2000	JP 2000058832 A	25-02-2000
			US 6291866 B1	18-09-2001
			TW 402779 B	21-08-2000
			US 6020243 A	01-02-2000
			US 6291867 B1	18-09-2001
			US 2001024853 A1	27-09-2001

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/51 H01L21/28

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 828 080 A (NOGUCHI TAKAO ET AL) 27. Oktober 1998 (1998-10-27) in der Anmeldung erwähnt Zusammenfassung Spalte 23, Zeile 38 - Spalte 24, Zeile 65 Spalte 26, Zeile 52 - Zeile 63 Spalte 30, Zeile 57 - Zeile 58	1,2,5-8, 10-16, 19,20
A	SINGH, P. ET AL.: "A COMPARATIVE STUDY OF THIN FILM TRANSISTORS USING RARE EARTHS OXIDES AS GATES" THIN SOLID FILMS, Bd. 147, 1987, Seiten 25-32, XP001031001 das ganze Dokument --- -/--	1,5-7,15

<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie
<p>* Besondere Kategorien von angegebenen Veröffentlichungen :</p> <p>*A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>*E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>*L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>*O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>*P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p>	<p>*T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>*X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>*Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>*Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>
Datum des Abschlusses der internationalen Recherche 12. November 2001	Absendedatum des internationalen Recherchenberichts 16/11/2001
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Beauftragter Nesso, S

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 087 702 A (CHANG LIANN-BE ET AL) 11. Juli 2000 (2000-07-11) Spalte 3, Zeile 47 - Zeile 62; Abbildung 2B ----	1,13
A	US 6 013 553 A (WILK GLEN D. ET AL) 11. Januar 2000 (2000-01-11) in der Anmeldung erwähnt Spalte 6, Zeile 31 - Zeile 36 ----	1-22
P,X	OSTEN H J ET AL: "HIGH-K GATE DIELECTRICS WITH ULTRA-LOW LEAKAGE CURRENT BASED ON PRASEODYMIUM OXIDE" INTERNATIONAL ELECTRON DEVICES MEETING 2000. IEDM. TECHNICAL DIGEST. SAN FRANCISCO, CA, DEC. 10 - 13, 2000, NEW YORK, NY: IEEE, US, 10. Dezember 2000 (2000-12-10), Seiten 653-656, XP001036704 ISBN: 0-7803-6439-2 das ganze Dokument -----	1-3, 5-18,21, 22

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP 01/08830

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5828080	A	27-10-1998	JP	8255790 A	01-10-1996
			JP	8109099 A	30-04-1996
			JP	8274199 A	18-10-1996
			JP	8274087 A	18-10-1996
			US	5810923 A	22-09-1998
<hr/>					
US 6087702	A	11-07-2000	KEINE		
<hr/>					
US 6013553	A	11-01-2000	JP	2000058832 A	25-02-2000
			US	6291866 B1	18-09-2001
			TW	402779 B	21-08-2000
			US	6020243 A	01-02-2000
			US	6291867 B1	18-09-2001
			US	2001024853 A1	27-09-2001
<hr/>					